

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0020

Applicant: Sang Ho WOO et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: CAPACITOR OF SEMICONDUCTOR DEVICE AND METHOD FOR  
FABRICATING THE SAME

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

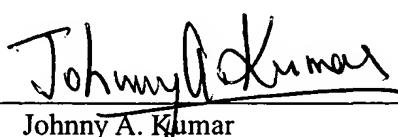
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2002-0088115 filed December 31, 2002**

Respectfully submitted,

Date: June 30, 2003

By

  
Johnny A. Kumar

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



26633

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

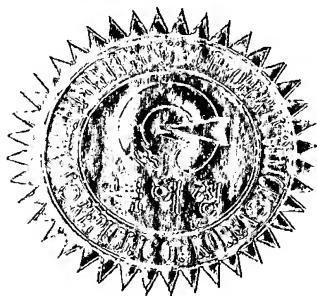
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0088115  
Application Number

출원년월일 : 2002년 12월 31일  
Date of Application DEC 31, 2002

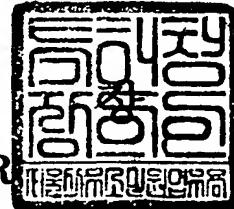
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 22 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.31
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 캐패시터 제조방법
【발명의 영문명칭】	METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	우상호
【성명의 영문표기】	WOO, Sang Ho
【주민등록번호】	650429-1914513
【우편번호】	467-704
【주소】	경기도 이천시 관고동 두산아파트 103-2102
【국적】	KR
【발명자】	
【성명의 국문표기】	송창록
【성명의 영문표기】	SONG, Chang Rock
【주민등록번호】	690120-1329111

【우편번호】 467-854  
 【주소】 경기도 이천시 대월면 사동리 347-136 혜원주택 B-301  
 【국적】 KR  
 【발명자】  
   【성명의 국문표기】 박동수  
   【성명의 영문표기】 PARK,Dong Su  
 【주민등록번호】 720511-1783411  
 【우편번호】 467-020  
 【주소】 경기도 이천시 관고동 502-2번지 영우빌라 202호  
 【국적】 KR  
 【발명자】  
   【성명의 국문표기】 박철환  
   【성명의 영문표기】 PARK,Cheol Hwan  
 【주민등록번호】 700820-1657331  
 【우편번호】 142-103  
 【주소】 서울특별시 강북구 미아3동 218-7  
 【국적】 KR  
 【발명자】  
   【성명의 국문표기】 이태혁  
   【성명의 영문표기】 LEE,Tae Hyeok  
 【주민등록번호】 710607-1010025  
 【우편번호】 467-850  
 【주소】 경기도 이천시 대월면 사동리 현대전자사원아파트 101-404  
 【국적】 KR  
 【심사청구】 청구  
 【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
             에 의한 출원심사를 청구합니다. 대리인  
             이후동 (인) 대리인  
             이정훈 (인)  
 【수수료】  
   【기본출원료】 10 면 29,000 원  
   【가산출원료】 0 면 0 원

1020020088115

출력 일자: 2003/5/23

【우선권주장료】	0	건	0	원
【심사청구료】	5	항	269,000	원
【합계】			298,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명은 반도체소자의 캐패시터 제조방법에 관한 것으로서, 캐패시터의 하부 전극은 실리콘층으로 형성하고, 유전막을 제1 Al<sub>2</sub>O<sub>3</sub> 막과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층 및 제2 Al<sub>2</sub>O<sub>3</sub> 막의 적층 구조로 형성한 후, 상부전극을 금속으로 형성하였으므로, 금속의 높은 일함수에 의해 유전막의 유효두께를 30Å 이하로 감소시킬 수 있고, NO, O<sub>2</sub> 또는 N<sub>2</sub>O 가스를 사용하거나 저압에서 산화 공정을 진행할 수 있어 하부 전극의 산화를 방지할 수 있어 유전막의 유효 두께를 더욱 감소시킬 수 있어 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

반도체소자의 캐패시터 제조방법{METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1은 본 발명에 따른 반도체소자의 캐패시터의 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 층간절연막

12 : 전하저장전극

14, 18 : Al<sub>2</sub>O<sub>3</sub> 막

16 : Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층

20 : 플레이트전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체소자의 캐패시터 제조방법에 관한 것으로서, 특히 유전막의 두께를 감소시키고, 저온 공정을 사용하여 하부전극의 산화가 방지되어 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 반도체소자의 캐패시터 제조방법에 관한 것이다.

<7> 일반적으로 DRAM의 기억 소자에서 캐패시터는 정보를 기억하고 판독하기 위해 일정량의 전하를 저장하는 기능을 수행한다. 따라서 캐패시터는 충분한 정전용량을 확보하여야하고, 누설전류가 적은 유전체막의 절연 특성을 가져야하며, 장시간 반복사용되는데 대한 신뢰성도 함께 지니고 있어야한다.

- <8> 캐패시터의 정전용량은 표면적에 비례하고, 유전막의 두께에 반비례하는데, 소자가 고집적화되어감에 따라 단위 소자의 할당 면적이 감소되므로 캐패시터의 정전용량 확보가 점차 어려워지고 있으며, 이를 위하여 캐패시터의 높이는 증가되고, 인접 셀과의 공정 마진도 감소되고 있다.
- <9> 종래 기술에 따른 실리콘 반도체소자의 캐패시터는 실리콘-유전막-실리콘(이하 SIS라 칭함) 구조의 캐패시터로서 전하저장전극과 플레이트전극을 도핑된 실리콘을 사용하고, 유전막으로는 산화막-질화막-산화막(이하 ONO라 칭함)구조를 사용하는데 통상 하부의 산화막은 생략되기도 한다.
- <10> 종래 기술에 따른 반도체소자의 캐패시터 제조방법을 살펴보면 다음과 같다.
- <11> 먼저, 소정의 공정을 진행하여 하부구조물들을 반도체기판상에 형성하고, 전하저장전극 콘택플러그를 구비하는 충간절연막을 형성하고, 전하저장전극을 실리콘재질로 형성한 후, 상기 전하저장전극 상의 자연 산화막을 HF 용액을 사용하여 제거하는 전세정 공정을 진행하고, 상기 전하저장전극상에 저압 화학기상증착(이하 LPCVD라 칭함) 방법으로 질화막을 형성한 후, 표면을 산화시켜 산화막을 형성하고, 그 상부에 플레이트전극을 실리콘 재질로 형성한다. 여기서 상기 질화막은  $\text{Si}_3\text{N}_4$  나  $\text{SiO}_x\text{N}_y$  재질이다.
- <12> 상술한 바와 같이 종래 기술에 따른 반도체소자의 캐패시터 제조방법은 디자

인 률의 감소로 셀 면적이 감소되어 충분한 정전용량을 확보하기 어려워지고 있어 유전막의 등가산화 두께를 감소시키는 방법으로 정전용량을 확보하여 왔으나, 질화막은 산화저항성이 40Å 이하의 두께에서 급속하게 감소되 후속 공정시 전하저장전극이나 비트라인이 산화되고, 50Å 이하의 두께에서는 누설전류가 증가되고 절연파괴전압이 감소되어 45Å 이하의 두께로는 형성할 수 없는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 유전막의 두께를 감소시킬 수 있어 정전용량 확보에 용이하고 하부 구조의 산화를 막지하여 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 반도체소자의 캐패시터 제조방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

<14> 본발명은 상기와 같은 목적을 달성하기 위한 것으로서, 본발명에 따른 반도체소자의 캐패시터 제조방법의 특징은,

<15> 반도체소자의 캐패시터 제조방법에 있어서,

<16> 전하저장전극을 실리콘으로 형성하는 공정과,

<17> 전하저장전극 표면에 제1 Al<sub>2</sub>O<sub>3</sub> 막과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층 및 제2 Al<sub>2</sub>O<sub>3</sub> 막의 적층 구조로된 유전막을 형성하는 공정과,

<18> 상기 유전막상에 금속재질의 플레이트전극을 형성하는 공정을 구비함에 있다.

<19> 또한 상기 제1 및 제2 Al<sub>2</sub>O<sub>3</sub> 막은 저압CVD, 원자충증착 또는 플라즈마 유도 CVD 방

법으로 형성되며, 상기 제1 Al<sub>2</sub>O<sub>3</sub> 막(14)과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층(16) 및 제2 Al<sub>2</sub>O<sub>3</sub> 막(18)

은 각각 5~100Å 두께로 형성하고, 상기 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub>층은 Ti가 인시튜로 도핑되는 혼합 소스로서 1~50%의 혼합비를 가지며, 증착 공정시 O<sub>2</sub> 가스를 혼합하여 사용할 수도 있으며, 원자층 증착, 유기금속 CVD 또는 플라즈마 유도 CVD로 형성되는 것을 특징으로 한다.

- <20> 또한 본 발명에 따른 캐패시터의 특징은,
- <21> 실리콘으로된 전하저장전극과,
- <22> 상기 전하저장전극 상에 형성되어있는 제1 Al<sub>2</sub>O<sub>3</sub> 막과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층 및 제2 Al<sub>2</sub>O<sub>3</sub> 막의 적층 구조로된 유전막과,
- <23> 상기 유전막상에 형성되어있는 금속재질의 플레이트전극을 구비함에 있다.
- <24> 이하, 본 발명에 따른 반도체소자의 캐패시터 제조방법에 관하여 첨부도면을 참조하여 상세히 설명하면 다음과 같다.
- <25> 도 1은 본 발명에 따른 반도체소자의 캐패시터의 단면도로서, 금속-유전막-실리콘(이하 MIS 라 칭함) 구조의 캐패시터이다.
- <26> 먼저, 소정의 하부 구조물을 구비하는 층간절연막(10)상에 도핑 실리콘으로된 전하저장전극(12)을 CVD 등의 방법으로 형성하고, 상기 전하저장전극(12) 상에 일차 유전막인 제1 Al<sub>2</sub>O<sub>3</sub> 막(14)과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층(16) 및 제2 Al<sub>2</sub>O<sub>3</sub> 막(18)을 순차적으로 각각 5~100Å 두께로 형성한다. 여기서 상기 제1 및 제2 Al<sub>2</sub>O<sub>3</sub> 막(14), (18)은 저압 CVD, 원자층증착 또는 플라즈마 유도 CVD 방법으로 형성하고, 상기 제2Al<sub>2</sub>O<sub>3</sub> 막(18)의 두께는 후속으로 형성되는 플레이트전극 물질의 종류와 두께등을 고려하여 형성하며, 상기 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub>층(16)은 Ti가 인시튜로 도핑되는 혼합 소스로서 1~50%의 혼합비를 가지며

, 우수한 박막 특성을 위하여 증착 공정시 O<sub>2</sub> 가스를 혼합하여 사용하기도 하며, 원자층 증착이나 유기금속 CVD 또는 플라즈마 유도 CVD 등의 방법으로 형성한다.

<27> 그다음 상기 제2 Al<sub>2</sub>O<sub>3</sub> 막(18) 상에 플레이트전극(20)을 TiN이나 Ru 등의 금속막으로 형성한다.

<28> 여기서 플레이트전극을 금속으로 형성하였으므로 금속의 높은 일함수에 의해 디플리션 영역이 형성되지 않아 유전막의 유효두께를 30Å 이하로 감소시킬 수 있고, N<sub>2</sub>, O<sub>2</sub> 또는 N<sub>2</sub>O 가스를 사용하거나 저압에서 산화 공정을 진행할 수 있어 하부 전극의 산화를 방지할 수 있어 더욱 유효 두께를 감소시킬 수 있다.

<29> 또한 하부 전극에 반구형 실리콘층을 성장시키면 표면적을 증가시킬 수 있어 더욱 정전용량 확보가 용이하다.

### 【발명의 효과】

<30> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 캐패시터의 하부 전극은 실리콘층으로 형성하고, 유전막을 제1 Al<sub>2</sub>O<sub>3</sub> 막과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층 및 제2 Al<sub>2</sub>O<sub>3</sub> 막의 적층 구조로 형성한 후, 상부전극을 금속으로 형성하였으므로, 금속의 높은 일함수에 의해 유전막의 유효두께를 30Å 이하로 감소시킬 수 있고, N<sub>2</sub>, O<sub>2</sub> 또는 N<sub>2</sub>O 가스를 사용하거나 저압에서 산화 공정을 진행할 수 있어 하부 전극의 산화를 방지할 수 있어 유전막의 유효 두께를 더욱 감소시킬 수 있어 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 이점이 있다.

**【특허청구범위】****【청구항 1】**

반도체소자의 캐패시터 제조방법에 있어서,  
전하저장전극을 실리콘으로 형성하는 공정과,  
전하저장전극 표면에 제1 Al<sub>2</sub>O<sub>3</sub> 막과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층 및 제2 Al<sub>2</sub>O<sub>3</sub> 막의 적층  
구조로된 유전막을 형성하는 공정과,  
상기 유전막상에 금속재질의 플레이트전극을 형성하는 공정을 구비하는 반도체소자  
의 캐패시터 제조방법.

**【청구항 2】**

제 1 항에 있어서,  
상기 제1 및 제2 Al<sub>2</sub>O<sub>3</sub> 막은 저압CVD, 원자충충착 및 플라즈마 유도 CVD로 이루어  
지는 군에서 임의로 선택되는 하나의 방법으로 형성되는 것을 특징으로 하는 반도체소자  
의 캐패시터 제조방법.

**【청구항 3】**

제 1 항에 있어서,  
상기 제1 Al<sub>2</sub>O<sub>3</sub> 막(14)과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층(16) 및 제2 Al<sub>2</sub>O<sub>3</sub> 막(18)은 각각 5  
~100Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 4】**

제 1 항에 있어서,

상기 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub>층은 Ti가 인시튜로 도핑되는 혼합 소스로서 1~50%의 혼합비를 가지며, 증착 공정시 O<sub>2</sub> 가스를 혼합하여 사용할 수도 있으며, 원자층 증착, 유기금속 CVD 및 플라즈마 유도 CVD로 이루어지는 군에서 임의로 선택되는 하나의 방법으로 형성되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

### 【청구항 5】

실리콘으로된 전하저장전극과,

상기 전하저장전극 상에 형성되어있는 제1 Al<sub>2</sub>O<sub>3</sub> 막과 Ti 도핑된 Ta<sub>2</sub>O<sub>5</sub> 층 및 제2 Al<sub>2</sub>O<sub>3</sub> 막의 적층 구조로된 유전막과,

상기 유전막상에 형성되어있는 금속재질의 플레이트전극을 구비하는 반도체소자의 캐패시터.

1020020088115

출력 일자: 2003/5/23

【도면】

【도 1】

